

(19) 日本國特許庁 (J P) (12) 公開特許公報 (A) (11) 特許出願公開番号  
特開平11-354631  
(43) 公開日 平成11年(1999)12月24日

(S)IntCl.*	識別記号	FI	
H01L 21/762		H01L 21/76	D
27/12		27/12	
28/786		28/78	6 2 1
29/861		29/91	D

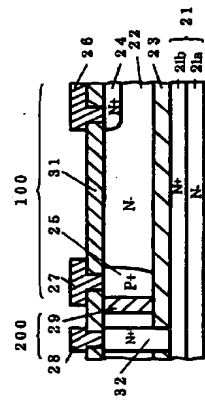
審査請求 未請求 請求項の数11 OL (全 10 頁)

(21)出願番号	特願平10-163174
(22)出願日	平成10年(1998)6月11日
(71)出願人	000159550 関西日本電気株式会社 滋賀県大津市晴風2丁目9番1号
(72)発明者	大岡 幸 滋賀県大津市晴風2丁目9番1号 本電気株式会社内

(54)【発明の名称】  
半導体装置

(57)【要約】  
【課題】 SOI 基板の半導体支持基板の表面電位を表面で固定することにより表面電極による固定での欠点を解消する。

【解決手段】 半導体支持基板21上にシリコン化合物膜223を介して半導体領域22を設けてSOI基板を構成する。半導体領域22の素子形成領域100から絶縁層29により絶縁分離された基板体取出し領域200にシリコン酸化膜23を貫通して半導体支持基板21に導する導電層32を設ける。この導電層32上に電気的接続した基板体取出し領域200を、素子形成領域100に設けたダイオードのアニード電極28を、素子形成領域200に設けたダイオードのアニード電極27と同電位に接続している。



Aが伸びやすくなり、半導体層2とP+型半導体領域5間のPN接合の電界は緩和される。このようにSOI基板上の半導体支持基板の電位を固定することにより、素子が形成される半導体層内での表面電界緩和効果を利用して、薄いSOI基板で高耐圧素子の搭載が可能であり、誘導電位による誤動作を回避できる。また、分離溝が浅くなるので誘導電位分離のための分離溝の作成コストを低減できる。

#### 【0004】

【発明が解決しようとする課題】ところで、上述の構造において、半導体支持基板の電位を固定するために半導体支持基板の下面に接続する裏面電極8を設けており、つぎのような問題点がある。

(1) システム・オン・チップ(SOC)等の1チップ化による半導体高密度実装技術の進展により、面実装型のICパッケージとしてBGA(Ball Grid Array)、CSP(Chip Size Package)が採用されてきており、この場合、チップは表面に形成したパッドによりフエイスダウンで接続され、チップの裏面は通常電氣的に接続されないため、裏面電極での接続が困難である。

(2) チップをワイヤボンディング及びダイボンディングにより接続する方式の場合において、ダイボンディングコストを安くするために絶縁ペーストを使用すると、裏面電極での接続ができにくい。

(3) 半導体層にそれぞれ絶縁分離されて形成されたN型素子とP型素子とを有する半導体層を裏面電極を接地して使用した場合、半導体支持基板は全体が接地されることになり、一方の素子に対しては表面電界緩和効果を利用できず、他方の素子に対しては表面電界緩和効果を利用できない。

【0005】本発明は上記問題点に鑑みながらなされたものであり、絶縁膜を貫通して半導体層表面で導電性支持基板の表面電位を固定することにより、上記問題点を解決した上で、半導体層内での表面電界緩和効果を利用して、薄いSOI基板で高耐圧素子の搭載が可能であり、誘導電位による誤動作を回避できる等の効果を有する半導体装置を提供することを目的とする。

#### 【0006】

【課題を解決するための手段】本発明に係る半導体装置は、導電性支持基板上に絶縁膜を介して設けた半導体層の絶縁分離層に取囲まれた素子形成領域に素子を形成した半導体装置において、導電性支持基板の表面電位を固定する素子形成領域から絶縁分離された半導体層の基板電位取出し領域上に設けたことを特徴とする。上記半導体装置において、導電性支持基板は半導体基板である。また、基板電位固定電極は、基板電位取出し領域表面から絶縁膜を貫通して形成した導電層により導電性支持基板と電氣的接続されている。この基板電位固定電極は素子形成領域100に形成された一電極と電氣的接続される。素子が高耐圧ダイオードの場合、一電極はアノード電極又はカソード電極であり、高耐圧MOSFETの場合、一電極はソース電極である。次に、導電性支持基板の異なる領域を異なる電位で固定する場合の本発明に係る半導体装置は、導電性支持基板上に第1絶縁膜を介して設けた半導体層の絶縁分離層にそれぞれ取囲まれた第1素子形成領域に第1素子を形成し、第2素子形成領域に第2素子を形成した半導体装置において、導電性支持基板表面の第1素子形成領域直下の位置と第2素子形成領域直下の位置とを互いに絶縁分離し、第1素子形成領域直下の位置の電位を固定する第1基板電位固定電極と、第2素子形成領域直下の位置の電位を固定する第2基板電位固定電極とを半導体層表面に設けたことを特徴とする。上記半導体装置において、導電性支持基板は半導体基板と半導体基板に第2絶縁膜を介して設けた基板導電層とからなり、導電性支持基板表面の第1素子形成領域直下の位置と第2素子形成領域直下の位置とを、半導体層表面から基板導電層を貫通して形成された絶縁分離層により互いに絶縁分離している。また、第1基板電位固定電極は、第1素子形成領域から絶縁分離された半導体層表面から第1絶縁膜を貫通して形成された第1導電層により導電性支持基板表面の第1素子形成領域直下の位置と電氣的接続され、第2基板電位固定電極は、第2素子形成領域から絶縁分離された第2導電層により導電性支持基板表面の第2素子形成領域直下の位置と電氣的接続されている。第1基板電位固定電極は第1素子形成領域上に形成された第1の一電極と電氣的接続され、第2基板電位固定電極は第2素子形成領域上に形成された第2の一電極と電氣的接続される。第1素子が一導電型高耐圧MOSFETの場合、第1の一電極は一導電型高耐圧MOSFETのソース電極であり、第2素子が他導電型高耐圧MOSFETの場合、第2の一電極は他導電型高耐圧MOSFETのソース電極である。

#### 【0007】

【発明の実施の形態】以下に、本発明に基づき第1の実施例の高耐圧ダイオードを有する半導体装置を図1を参照して説明する。先づ構成を説明すると、図1において、導電性支持基板としての一導電型であるN型のシリコン基板21は低濃度一導電型であるN-型シリコン基板21aの表面層に高濃度一導電型であるN+型半導体層21bを設けたもので、その上に絶縁膜であるシリコン酸化膜23を介している。尚、半導体支持基板22をSOI基板を構成している。尚、半導体支持基板22は他導電型であるP-型シリコン基板の表面層に高濃度一導電型であるP+型半導体層を有する。また、半導体支持基板22は、全体がN+型又はP+型であってよい。また、半導体支持基板22は、素子がN+型又はP+型である素子形成領域100には、表面電位取出し領域から絶縁分離された一電極と電氣的接続される。素子が高耐圧ダイオードの場合、一電極はアノード電極又はカソード電極であり、高耐圧MOSFETの場合、一電極はソース電極である。次に、導電性支持基板の異なる領域を異なる電位で固定する場合の本発明に係る半導体装置は、導電性支持基板上に第1絶縁膜を介して設けた半導体層の絶縁分離層にそれぞれ取囲まれた第1素子形成領域に第1素子を形成し、第2素子形成領域に第2素子を形成した半導体装置において、導電性支持基板表面の第1素子形成領域直下の位置と第2素子形成領域直下の位置とを互いに絶縁分離し、第1素子形成領域直下の位置の電位を固定する第1基板電位固定電極と、第2素子形成領域直下の位置の電位を固定する第2基板電位固定電極とを半導体層表面に設けたことを特徴とする。上記半導体装置において、導電性支持基板は半導体基板と半導体基板に第2絶縁膜を介して設けた基板導電層とからなり、導電性支持基板表面の第1素子形成領域直下の位置と第2素子形成領域直下の位置とを、半導体層表面から基板導電層を貫通して形成された絶縁分離層により互いに絶縁分離している。また、第1基板電位固定電極は、第1素子形成領域から絶縁分離された半導体層表面から第1絶縁膜を貫通して形成された第1導電層により導電性支持基板表面の第1素子形成領域直下の位置と電氣的接続され、第2基板電位固定電極は、第2素子形成領域から絶縁分離された第2導電層により導電性支持基板表面の第2素子形成領域直下の位置と電氣的接続されている。第1基板電位固定電極は第1素子形成領域上に形成された第1の一電極と電氣的接続され、第2基板電位固定電極は第2素子形成領域上に形成された第2の一電極と電氣的接続される。第1素子が一導電型高耐圧MOSFETの場合、第1の一電極は一導電型高耐圧MOSFETのソース電極であり、第2素子が他導電型高耐圧MOSFETの場合、第2の一電極は他導電型高耐圧MOSFETのソース電極である。

領域24を所定距離離間して環状に取囲むようにシリコン酸化膜23までの深さまでP+型半導体領域25を設けている。尚、P+型半導体領域25はN+型半導体領域24を取囲んでいない。N+型半導体領域25にはアノード電極26を、P+型半導体領域25にはアノード電極27をオーミック接続して設けている。半導体層22にはシリコン酸化膜23に連した半導体層22を複数個の部分に絶縁分離する絶縁分離層29を設けており、素子形成領域100はこの絶縁分離層29に隣接して取囲まれている。この素子形成領域100から絶縁分離された半導体層22の基板電位取出し領域200にはシリコン酸化膜23を貫通して半導体支持基板22に連したN+型ポリシリコンからなる導電層32を設けている。尚、半導体支持基板22の表面層がP+型のときはP+型がシリコンからなる導電層を設ける。導電層32上には基板電位固定電極28を接続している。図示しないが、基板電位固定電極28はアノード電極27を一電極として同一電位で接続している。半導体層22の表面にはカソード電極26、アノード電極27及び基板電位固定電極28が接続される位置を除いて絶縁膜31を設けている。

【0008】上記構成の半導体装置の高耐圧ダイオードの動作は、アノード電極27と基板電位固定電極28を0Vとして、カソード電極26に正電圧を印加していくと、半導体層22とP+型半導体領域25間のPN接合から図9に示す空乏層Aと同様の空乏層が伸びる。このとき、半導体支持基板22は、基板電位固定電極28から導電層32を介して全体が0Vになっており、シリコン酸化膜23を介してフィールドプレートとして働く。上記の空乏層に加えて半導体層22とシリコン酸化膜23間の界面から半導体層22の表面に向かう方向に図9に示す空乏層Bと同様の空乏層が伸びるため、この影響により先の空乏層が伸びやすくなり、半導体層22とP+型半導体領域25間のPN接合の電界は緩和される。

【0009】このようにSOI基板の半導体支持基板21の電位を表面に設けた基板電位固定電極28によりアノード電極27の電位に固定することによりSOI基板の表面に電極を設けずに、ダイオード素子が形成される素子形成領域100内での表面電界緩和効果を利用して高耐圧ダイオード素子の搭載が可能で、上述した課題(1)及び(2)を解決することができる。即ち、(1)面実装型のICパッケージとしてのBGA(Ball Grid Array)、CSP(Chip Size Package)に本実施例の高耐圧ダイオード素子を有する半導体装置のチップを採用することができる。

(2)チップをワイヤボンディング及びダイボンディングにより接続する方式の場合において、本実施例の高耐圧ダイオードを有する半導体装置のチップをダイボンディングコストを安くするための絶縁ペーストを使用する

ことができる。

【0010】上述の第1実施例において、一導電型をN型、他導電型をP型として説明したが、一導電型をP型、他導電型をN型としてもよい。このときN+型半導体領域24がP+型半導体領域となりこの上にアノード電極が接続され、P+型半導体領域25がN+型半導体領域となりこの上にカソード電極が接続される。また、基板電位固定電極はカソード電極を一電極として同電位で接続する。このときの高耐圧ダイオードの動作は、アノード電極を0Vとして、カソード電極と基板電位固定電極に正電圧を印加していくと、半導体層22とP+型半導体領域25間のPN接合から図9に示す空乏層Aと同様の空乏層が伸びる。このとき、半導体支持基板は、基板電位固定電極から導電層を介して全体が正電圧になっており、絶縁膜を介してフィールドプレートとして働く。上記の空乏層に加えて半導体層とシリコン酸化膜間の界面から半導体層の表面に向かう方向に図9に示す空乏層Bと同様の空乏層が伸びるため、この影響により先の空乏層が伸びやすくなり、半導体層とN+型半導体領域間のPN接合の電界は緩和される。

【0011】次に、本発明に基づき第2の実施例の一導電型であるN+型高耐圧MOSFETを有する半導体装置を図2を参照して説明する。図2において、導電性支持基板としての一導電型であるN型シリコン基板41はシリコン基板41aの表面層に高濃度一導電型であるN+型半導体層41bを含んだもので、その上に絶縁膜であるシリコン酸化膜43を介して低濃度一導電型であるN-型半導体層42を設けてSOI基板を構成している。尚、半導体支持基板41は他導電型であるP型であってよく、このときは表面に高濃度一導電型であるP+層を含むことが望ましい。また、半導体支持基板41は、全体がN+型又はP+型であってよい。半導体層42の表面層は高耐圧MOSFET素子が形成される素子形成領域300には、表面層にN+型半導体領域44を設け、このN+型半導体領域44を所定距離離間して環状に取囲むようにシリコン酸化膜43までの深さまでP型半導体領域45を設けている。尚、P型半導体領域45はN+型半導体領域44を取囲んでいない。P型半導体領域45の表面層には半導体層42とP型半導体領域45間のPN接合からシリコン酸化膜45を介してシリコン酸化膜43に連した半導体層42を複数個の部分に絶縁分離する絶縁分離層49を設けており、素子形成領域300はこの絶縁分離層49に隣接して取囲まれている。この素子形成領域300から絶縁分離された半導体層42の基板電位取出し領域400にはシリコン



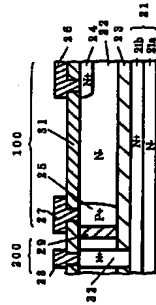


膜し、フォトリソングラフ法及びドライエッチ法により不要部を除去して、N<sup>+</sup>型半導体領域64Nにはドレイン電極66Nを、N<sup>+</sup>型半導体領域73NとP<sup>+</sup>型半導体領域74Nにはソース電極67Nを、及び、第1導電層72N上には第1基板電位固定電極68Nを、更に、P<sup>+</sup>型半導体領域73PとN<sup>+</sup>型半導体領域74Pにはソース電極67Pを、及び、第2導電層72P上には第2基板電位固定電極68Pをオーソックス接合して形成する。図示しないが、第1基板電位固定電極68Nはソース電極67Nと、第2基板電位固定電極68Pはソース電極67Pと同電位で接続する。尚、上述の製造方法においては、絶縁分離層69Aの形成を素子形成領域500N、500P内への各半導体領域の形成後に行う方法で説明したが、素子形成領域500N、500P内への各半導体領域の形成前に行う方法でも可能である。但し、この方法の場合、障壁め込み後の積層膜の除去が必要となり工程が増える。また、絶縁分離層69Bの形成を素子形成領域500N、500P内への各半導体領域の形成後に行う方法で説明したが、素子形成領域500N、500P内への各半導体領域の形成前に行う方法でも可能である。この方法の場合、障壁め込み後のCMPが不要となり工程短縮が可能である。

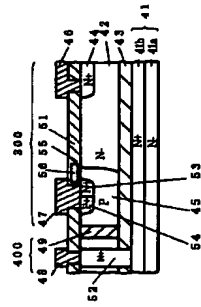
## 【0033】

【発明の効果】本発明の請求項1～6によれば、SOI基板上の半導体支持基板の電位を表面に設けた基板電位固定電極により電極、例えば高耐圧MOSFET素子を有する半導体装置の場合はソース電極、の電位に固定することによりSOI基板の表面に電極を設けずに、半導体装置内での表面電界緩和効果を利用して高耐圧素子の搭載が可能で、上述した課題(1)及び(2)を解決することができる。また、本発明の請求項7～11によれば、SOI基板の導電性支持基板の基板導電層を第1素子形成領域及び第1基板電位取出し領域直下の位置と第2素子形成領域及び第2基板電位取出し領域直下の位置とに絶縁分離してそれらの電位を表面に設けた第1及び第2基板電位固定電極によりそれぞれの一の電極、例えばNチャネル及びPチャネル高耐圧MOSFET素子を有する半導体装置の場合はそれぞれソース電極、の電

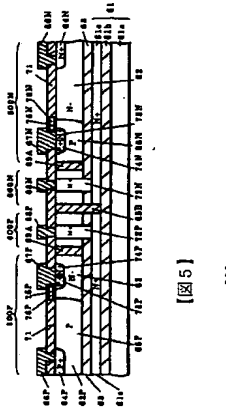
【図1】



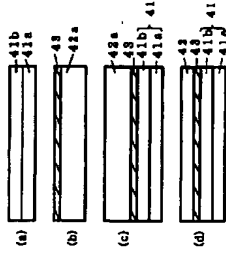
【図2】



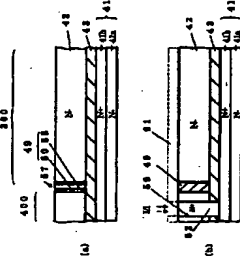
【図3】



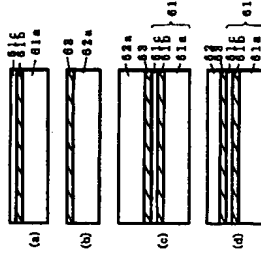
【図4】



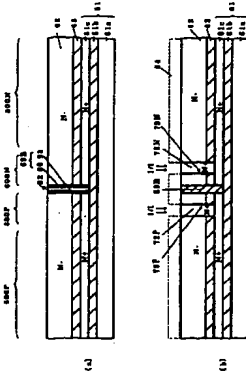
【図5】



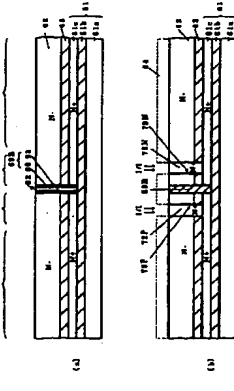
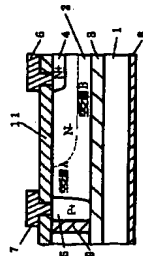
【図6】



【図7】



【図8】



有する半導体装置の場合はそれぞれソース電極、の電